

Semiconductor device and method of producing the sam

Patent Number: ☐ US2002037619
Publication date: 2002-03-28
Inventor(s): ABE YUJI (JP); MIURA NARUHISA (JP); OISHI TOSHIYUKI (JP); SUGIHARA KOHEI (JP); TOKUDA YASUNORI (JP)
Applicant(s):
Requested Patent: ☐ JP2002100762
Application Number: US20010809211 20010316
Priority Number (s): JP20000288417 20000922
IPC Classification: H01L21/336
EC Classification: H01L21/336H20, H01L21/336L, H01L21/336U, H01L29/10D2B2B, H01L29/10D2B4
Equivalents: ☐ US6566734

Abstract

A dummy gate electrode is formed before the gate electrode is formed. Extension regions, side wall silicon nitride film, source/drain regions, silicon oxide film, and others are formed with respect to the dummy gate electrode. The dummy gate electrode is removed, and a part of the extension regions diffused to a region immediately under the dummy gate electrode is removed. The removed part is filled with silicon selection epitaxial film. Thereafter, the intended gate electrode is formed. This production method gives a semiconductor device that prevents the deterioration of electrical characteristics caused by short channel effect and parasitic resistance.

Data supplied from the esp@cenet database - I2

AD

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-100762

(P2002-100762A)

(43) 公開日 平成14年4月5日 (2002. 4. 5)

(51) Int.Cl. ⁷	識別記号	F I	テームト* (参考)
H 0 1 L	29/78	H 0 1 L 21/205	5 F 0 4 0
	21/205	29/78	3 0 1 H 5 F 0 4 5
			3 0 1 G

審査請求 未請求 請求項の数13 OL (全 17 頁)

(21) 出願番号 特願2000-288417 (P2000-288417)

(22) 出願日 平成12年9月22日 (2000. 9. 22)

(71) 出願人 00006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 杉原 浩平

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 大石 敏之

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外4名)

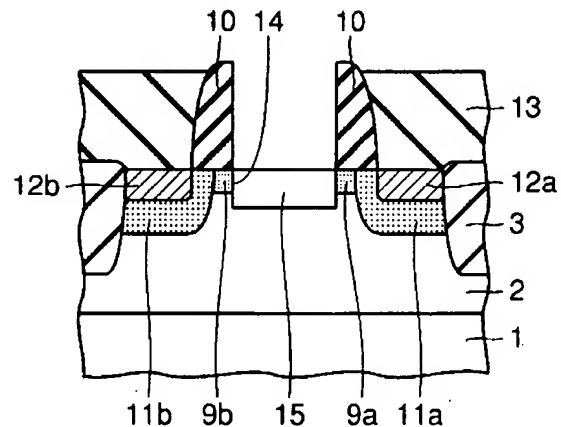
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 ショートチャネル効果や寄生抵抗に起因する電気的特性の劣化を防止する半導体装置の製造方法を提供する。

【解決手段】 ゲート電極を形成する前にダミーゲート電極を形成する。そのダミーゲート電極に対してエクステンション領域9a、9b、側壁シリコン窒化膜10、ソース/ドレイン領域11a、11bおよびシリコン酸化膜13等を形成する。ダミーゲート電極を除去して、ダミーゲート電極の直下に拡散したエクステンション領域9a、9bの部分除去する。その除去した部分をシリコン選択エピタキシャル膜15により埋め込む。その後、本来のゲート電極を形成する。



【特許請求の範囲】

【請求項1】 チャネル領域となる領域を挟んで半導体基板の表面に第1導電型の1対の不純物領域を形成する不純物領域形成工程と、前記チャネル領域となる領域上にゲート電極を形成する電極形成工程とを含む半導体装置の製造方法であって、

ゲート電極直下の前記チャネル領域となる領域の表面とその近傍部分およびゲート電極の直下に拡散する前記不純物領域の部分を除去する除去工程と、

除去された前記チャネル領域となる領域の表面とその近傍部分および前記不純物領域の部分を所定の膜で埋め込む埋め込み工程とを備えた、半導体装置の製造方法。

【請求項2】 前記不純物領域形成工程は、前記チャネル領域となる領域上にダミー電極を形成する工程と、

前記ダミー電極をマスクとして、前記半導体基板の表面に第1導電型の不純物を導入する工程とを含む、

前記不純物領域形成工程と前記除去工程との間に、前記ダミー電極を除去する工程を含む、

前記埋め込み工程は、前記所定の膜として、少なくとも第1のシリコンエピタキシャル成長層を形成する工程を含む、

前記電極形成工程は、前記埋め込み工程の後に前記ダミー電極が除去された領域上にゲート電極を形成する工程を含む、請求項1記載の半導体装置の製造方法。

【請求項3】 前記埋め込み工程は、前記第1のシリコンエピタキシャル成長層の表面およびその近傍の部分を除去する工程と、

除去された前記第1のシリコンエピタキシャル成長層の部分を埋め込むようにさらに第2のシリコンエピタキシャル成長層を形成する工程とを含む、請求項2記載の半導体装置の製造方法。

【請求項4】 前記不純物領域形成工程の前に、前記チャネル領域となる領域を形成するための、第2導電型の不純物を前記半導体基板の表面に導入する工程を備えた、請求項2記載の半導体装置の製造方法。

【請求項5】 前記埋め込み工程は、前記第1のシリコンエピタキシャル成長層の不純物濃度を前記チャネル領域となる領域の不純物濃度よりも低い第2導電型の不純物濃度とする工程を含む、

前記除去工程は、前記ゲート電極が延びる方向に沿って側部が順テーパ状となる溝部を形成する工程を含む、請求項4記載の半導体装置の製造方法。

【請求項6】 前記1対の不純物領域および前記チャネル領域となる領域を区画するための分離領域を形成する工程を備え、

前記除去工程は、前記チャネル領域となる領域と前記分離領域とが接する部分から前記チャネル領域となる領域に向かって側部が順テーパ状になる溝部を形成する工程を含む、請求項4または5に記載の半導体装置の製造方

法。

【請求項7】 前記埋め込み工程は、前記第1のシリコンエピタキシャル成長層を形成する前に、前記所定の膜としてシリコン以外の他の元素を含むシリコンエピタキシャル成長層を形成する工程を含む、請求項2記載の半導体装置の製造方法。

【請求項8】 前記除去工程は側面と底面とを有する溝部を形成する工程を含む、

前記埋め込み工程は、少なくとも前記溝部の底面上に前記シリコン以外の他の元素を含むシリコンエピタキシャル成長層を形成する工程を含む、請求項7記載の半導体装置の製造方法。

【請求項9】 前記埋め込み工程は、前記溝部の底面上にのみ前記シリコン以外の他の元素を含むシリコンエピタキシャル成長層を形成する工程を含む、請求項8記載の半導体装置の製造方法。

【請求項10】 シリコン基板の表面に間隔を隔てて形成された所定導電型の1対の不純物領域と、

前記1対の不純物領域によって挟まれた領域の前記半導体基板の表面上にゲート絶縁膜を介在させて形成されたゲート電極と、

前記ゲート電極の直下の前記1対の不純物領域によって挟まれた領域にのみ形成され、前記ゲート電極の直下に位置するシリコン膜および該シリコン膜の下に位置し前記シリコン膜に歪みを与えるためのシリコン以外の他の元素を含むシリコン膜とを備えた、半導体装置。

【請求項11】 前記シリコン以外の他の元素はIV族元素である、請求項10記載の半導体装置。

【請求項12】 前記シリコン以外の他の元素はシリコンと格子定数が異なる元素である、請求項10記載の半導体装置。

【請求項13】 前記シリコン膜は、前記ゲート電極の直下の前記1対の不純物領域によって挟まれた領域の表面の全面に位置する、請求項10～12のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置およびその製造方法に関し、特に、電界効果トランジスタの電気的特性が安定する半導体装置の製造方法と、その製造方法によって得られる半導体装置とに関するものである。

【0002】

【従来の技術】電界効果トランジスタを備えた従来の半導体装置の製造方法の一例について、「FUNDAMENTALS OF MODERN VLSI DEVICES」(YUAN TAUR他著、ケンブリッジ大学出版)に基づいて説明する。図45に示すよう

に、シリコン基板101にたとえば、p型のウェル102および素子分離膜103を形成する。次に、シリコン基板101上にパッド酸化膜104を形成する。次に、p型の不純物をイオン注入することによりチャネル不純

物領域116を形成する。その後、パッド酸化膜104を除去する。

【0003】次に、シリコン基板101上にシリコン酸化膜を介在させてポリシリコン膜（図示せず）を形成する。そのポリシリコン膜上に所定のフォトリソパターン（図示せず）を形成する。そのフォトリソパターンをマスクとして、ポリシリコン膜およびシリコン酸化膜に異方性エッチングを施すことにより、図46に示すように、ゲート絶縁膜117およびゲート電極118を形成する。そのゲート電極118をマスクとして、n型の不純物をイオン注入することにより、1対のエクステンション領域109a、109bを形成する。

【0004】次に、ゲート電極118を覆うように、シリコン基板101上にシリコン酸化膜（図示せず）を形成する。そのシリコン酸化膜の全面に異方性エッチングを施すことにより、図47に示すように、ゲート電極118の両側面上にそれぞれ側壁シリコン酸化膜110を形成する。

【0005】次に、図48に示すように、ゲート電極118および側壁シリコン酸化膜110をマスクとしてn型の不純物をイオン注入することにより、1対のソース／ドレイン領域111a、111bを形成する。

【0006】次に、図49に示すように、露出している1対のソース／ドレイン領域111a、111bおよびゲート電極118の表面に自己整合的にコバルトシリサイド膜112a、112b、112cを形成する。その後、図50に示すように、シリコン基板101上にシリコン酸化膜113を形成する。

【0007】このようにして、図51および図52に示すように、素子分離膜103によって区切られた素子形成領域に、ゲート電極118、エクステンション領域109a、109bおよびソース／ドレイン領域111a、111bを含む電界効果トランジスタが形成される。なお、図51はゲート長方向の断面構造を示し、図52はゲート幅方向の断面構造を示す。

【0008】

【発明が解決しようとする課題】しかしながら、従来の半導体装置の製造方法では、以下に示す課題があった。

【0009】まず、第1の課題として、エクステンション領域109a、109bの不純物のゲート電極118直下の領域への回り込みに伴う課題について説明する。1対のエクステンション領域109a、109bは、図46に示すように、ゲート電極118をマスクとしてシリコン基板101の表面に形成される。このとき、不純物としてのイオンがゲート電極118の下方の領域に回り込んで注入されることがある。

【0010】また、図53および図54に示すように、エクステンション領域109a、109bを形成した後のプロセスにおける熱処理によって、エクステンション領域109a、109bの不純物がゲート電極118の

下方の領域にまで拡散して、エクステンション領域109a、109bはそれぞれゲート電極118の下方の領域にまで広がることになる。

【0011】ゲート電極118直下の領域にまでエクステンション領域109a、109b回り込む（拡散する）ことで、電界効果トランジスタにおける実効的なゲート長aはより短くなる。半導体装置の微細化に伴ってゲート長が約100nm以下の値になると、10nm程度のエクステンション領域109a、109bの回り込みが問題となり、ショートチャネル効果により、たとえばサブスレッショルド電流の増大など、電界効果トランジスタにおける電気的な特性が劣化することになる。

【0012】また、図53および図54に示すように、エクステンション領域109a、109bのうち、ゲート電極118の直下の領域に形成された比較的不純物濃度の低い領域では、この部分における抵抗が側壁絶縁膜の直下に位置するエクステンション領域109a、109bの部分における抵抗よりも高くなる。

【0013】このため、電界効果トランジスタとしては、図55に示すように、ソースとドレインとにそれぞれ抵抗Rが直列に接続された電界効果トランジスタと等価になる。そのため、電流が流れにくくなって、たとえば動作速度が遅くなるなどの問題が生じた。

【0014】次に、第2の課題として、チャネル不純物領域116表面における不純物濃度の高濃度化に伴う課題について説明する。電界効果トランジスタの微細化に対応するために、チャネル不純物領域116の不純物濃度を高くする必要がある。チャネル不純物領域116は、図45に示す工程において形成され、その後のプロセスにおける熱処理によって、チャネル不純物領域116の不純物が拡散することになる。

【0015】特に、シリコン基板101の表面に向かって拡散する不純物によって、図56のAに示すように、チャネル不純物領域116の表面濃度はより高くなる。チャネル不純物領域116の表面濃度が高くなると、電界効果トランジスタにおけるしきい値電圧が上昇することになる。

【0016】一方、半導体装置における電源電圧は、たとえば、5Vから3.3Vのように低電圧化が図られている。このような電源電圧の低電圧化に対応するためには、電界効果トランジスタのしきい値電圧は低い方が望ましい。このため、電界効果トランジスタにおけるしきい値電圧の上昇は、かかる要求にそぐわないものとなった。

【0017】次に、第3の課題として、素子分離膜103の端部における電界集中に伴う課題について説明する。半導体装置の微細化に対応するため、電界効果トランジスタを電氣的に他の電界効果トランジスタと分離するための素子分離膜103としては、トレンチ分離方式が適用される。トレンチ分離方式の素子分離膜103で

は、図57のBに示すように、素子分離膜13近傍のゲート電極118の電界は他の部分における電界よりも集中する。電界が集中することで、素子分離膜103の近傍にしきい値電圧のより低い寄生トランジスタが形成されることになる。

【0018】つまり、電界効果トランジスタとしては、図58に示すように、本来のトランジスタT1と寄生トランジスタT2とが並列に接続されたトランジスタと等価になる。そのため、この寄生トランジスタT2によって、より低いゲート電圧で電流が流れてしまい、余分なリーク電流が生じるようになった。

【0019】本発明は、上記問題点を解消する半導体装置の製造方法を提供することを1つの目的とし、そのような製造方法によって得られる半導体装置を提供することを他の目的とする。

【0020】

【課題を解決するための手段】本発明の1つの局面における半導体装置の製造方法は、チャネル領域となる領域を挟んで半導体基板の表面に第1導電型の1対の不純物領域を形成する不純物領域形成工程と、チャネル領域となる領域上にゲート電極を形成する電極形成工程とを含む半導体装置の製造方法であって、除去工程と埋め込み工程とを備えている。除去工程は、ゲート電極直下のチャネル領域となる領域の表面とその近傍部分およびゲート電極の直下に拡散する不純物領域の部分を除去する。埋め込み工程は、除去されたチャネル領域となる領域の表面とその近傍部分および不純物領域の部分を所定の膜で埋め込む。

【0021】この半導体装置の製造方法によれば、ゲート電極直下のチャネル領域となる領域の表面とその近傍部分およびゲート電極の直下に拡散する不純物領域の部分が除去され、その除去された部分が所定の膜で埋め込まれることで、ゲート電極直下の領域の不純物の濃度分布を制御することができる。その結果、1対の不純物領域およびゲート電極を含む電界効果トランジスタにおけるしきい値電圧を制御することができて電気的特性に優れた半導体装置が得られる。

【0022】好ましくは、不純物領域形成工程は、チャネル領域となる領域上にダミー電極を形成する工程と、ダミー電極をマスクとして、半導体基板の表面に第1導電型の不純物を導入する工程とを含み、不純物領域形成工程と除去工程との間に、ダミー電極を除去する工程を含み、埋め込み工程は、所定の膜として、少なくとも第1のシリコンエピタキシャル成長層を形成する工程を含み、電極形成工程は、埋め込み工程の後にダミー電極が除去された領域上にゲート電極を形成する工程を含んでいる。

【0023】この場合には、本来のゲート電極を形成する前に、熱処理に伴ってゲート電極直下の領域に拡散する不純物領域の部分が、ダミー電極の直下の領域に形成

される。そして、その拡散した不純物領域の部分を除去し第1のシリコンエピタキシャル成長層で埋め込んだ後に本来のゲート電極が形成される。これにより、電界効果トランジスタにおける実効的なゲート長が短くなるのを防止することができるとともに、寄生抵抗をなくすることができる。

【0024】また好ましくは、埋め込み工程は、第1のシリコンエピタキシャル成長層の表面およびその近傍の部分を除去する工程と、除去された第1のシリコンエピタキシャル成長層の部分を埋め込むようにさらに第2のシリコンエピタキシャル成長層を形成する工程とを含んでいる。

【0025】この場合には、ゲート電極直下に位置する第2のシリコンエピタキシャル成長層により、チャネルが形成される領域の不純物濃度をより精密に制御することができ、たとえば第2のシリコンエピタキシャル成長層の不純物濃度を第1のシリコンエピタキシャル成長の不純物濃度よりも低くすることで、電界効果トランジスタのしきい値電圧の低電圧を図ることができる。

【0026】好ましくは、不純物領域形成工程の前に、チャネル領域となる領域を形成するための、第2導電型の不純物を前記半導体基板の表面に導入する工程を備えている。

【0027】この場合には、電界効果トランジスタにおけるショートチャネル効果を抑制するための第2導電型の不純物が拡散することで不純物濃度がより高くなったチャネル領域となる領域の表面およびその近傍部分が除去され、その除去された部分が第1のシリコンエピタキシャル成長層で埋め込まれることで、ゲート電極直下の領域の不純物濃度を制御することができて、電界効果トランジスタのしきい値電圧を制御することができる。

【0028】また好ましくは、埋め込み工程は、第1のシリコンエピタキシャル成長層の不純物濃度をチャネル領域となる領域の不純物濃度よりも低い第2導電型の不純物濃度とする工程を含み、除去工程は、ゲート電極が延びる方向に沿って側部が順テーパ状となる溝部を形成する工程を含んでいる。

【0029】この場合には、順テーパ状の溝を形成することで、不純物領域の直下には比較的不純物濃度の高いチャネル領域となる領域が残る。これにより、電界効果トランジスタのショートチャネル効果を抑制することができる。

【0030】さらに好ましくは、1対の不純物領域およびチャネル領域を区画するための分離領域を形成する工程を備え、除去工程は、チャネル領域となる領域と分離領域とが接する部分からチャネル領域となる領域に向かって側部が順テーパ状になる溝部を形成する工程を含んでいる。

【0031】この場合には、ゲート電極直下の領域の分離領域の近傍に比較的不純物濃度の高いチャネル領域と

なる領域が残る。これにより、分離領域近傍の電界集中に伴ってしきい値電圧のより低い寄生トランジスタが形成されるのを抑制して、リーク電流の低減を図ることができる。

【0032】好ましくは、埋め込み工程は、第1のシリコンエピタキシャル成長層を形成する前に、所定の膜として、たとえばⅠⅤ族元素などのシリコン以外の他の元素を含むシリコンエピタキシャル成長層を形成する工程を含んでいる。

【0033】この場合には、シリコン以外の他の元素を含むシリコンエピタキシャル成長層により、第1のエピタキシャル成長層に歪みが生じる。これにより、第1のエピタキシャル成長層におけるキャリアの移動度が向上して、たとえば電界効果トランジスタの動作速度が向上する。

【0034】具体的には、除去工程は側面と底面とを有する溝部を形成する工程を含み、埋め込み工程は、少なくとも溝部の底面上にシリコン以外の他の元素を含むシリコンエピタキシャル成長層を形成する工程を含んでいることが好ましい。

【0035】さらに埋め込み工程は、溝部の底面上にのみシリコン以外の他の元素を含むシリコンエピタキシャル成長層を形成する工程を含んでいることが好ましい。

【0036】この場合には、第1のエピタキシャルシリコン成長層に均一に歪みを与えることができる。

【0037】本発明の他の局面における半導体装置は、所定導電型の1対の不純物領域と、ゲート電極とシリコン膜およびシリコン以外の他の元素を含むシリコン膜とを備えている。所定導電型の1対の不純物領域は、シリコン基板の表面に間隔を隔てて形成されている。ゲート電極は、1対の不純物領域によって挟まれた領域の半導体基板の表面上にゲート絶縁膜を介在させて形成されている。シリコン膜およびシリコン以外の他の元素を含むシリコン膜は、ゲート電極の直下の1対の不純物領域によって挟まれた領域にのみ形成され、シリコン膜はゲート電極の直下に位置し、シリコン以外の他の元素を含むシリコン膜はそのシリコン膜の下に位置しシリコン膜に歪みを与える。

【0038】この構造によれば、シリコン以外の他の元素を含むシリコン膜により、シリコン膜に歪みが生じる。これにより、シリコン膜におけるキャリアの移動度が向上して、1対の不純物領域とゲート電極とを含む電界効果トランジスタの動作速度等が向上する。

【0039】そのシリコン膜に歪みを与えることのできるシリコン以外の他の元素としては、具体的には、ⅠⅤ族元素、または、シリコンと格子定数が異なる元素であることが好ましい。このような元素は、シリコンの結晶中に容易に添加することができる。

【0040】好ましくは、シリコン膜はゲート電極の直下の1対の不純物領域によって挟まれた領域の表面の全

面に位置する。

【0041】この場合には、キャリアが移動するシリコン膜に均一に歪みを与えることができる。

【0042】

【発明の実施の形態】実施の形態1

本発明の実施の形態1に係る電界効果トランジスタを備えた半導体装置の製造方法について説明する。まず、図1に示すように、トレンチ分離法によりシリコン基板1に素子分離膜3を形成する。次に、シリコン基板1上にパッド酸化膜4を形成する。次に、パッド酸化膜4を介してシリコン基板1に、たとえば、ボロンまたは BF_2 などのp型不純物を、注入エネルギー $100\text{KeV} \sim 5\text{MeV}$ 、ドーズ量 $1 \times 10^{12} \sim 5 \times 10^{13}/\text{cm}^2$ にて注入することにより、p型のウェル2を形成する。その後、パッド酸化膜4を除去する。

【0043】次に、シリコン基板1上にシリコン酸化膜（図示せず）を形成する。そのシリコン酸化膜上にポリシリコン膜（図示せず）を形成する。そのポリシリコン膜上にシリコン酸化膜（図示せず）を形成する。そのシリコン酸化膜上にフォトリソパターン（図示せず）を形成する。

【0044】そのフォトリソパターンをマスクとして、シリコン酸化膜、ポリシリコン膜およびシリコン酸化膜に異方性エッチングを施すことにより、図2に示すように、シリコン基板1上にシリコン酸化膜5を介在させて、ポリシリコン膜6およびシリコン酸化膜7を含むダミーゲート電極8を形成する。

【0045】次に、ダミーゲート電極8をマスクとして、たとえばヒ素またはリンなどのn型不純物を、注入エネルギー $0.1\text{KeV} \sim 20\text{KeV}$ 、ドーズ量 $1 \times 10^{13} \sim 1 \times 10^{15}/\text{cm}^2$ にてシリコン基板1に注入することにより、1対のエクステンション領域9a、9bを形成する。

【0046】次に、ダミーゲート電極8を覆うように、シリコン基板1上にシリコン窒化膜（図示せず）を形成する。そのシリコン窒化膜の全面に異方性エッチングを施すことにより、図3に示すように、ダミーゲート電極8の両側面上に側壁シリコン窒化膜10を形成する。

【0047】次に、図4に示すように、ダミーゲート電極8および側壁シリコン窒化膜10をマスクとして、たとえばヒ素またはリンなどのn型不純物を、注入エネルギー $0.5\text{KeV} \sim 500\text{KeV}$ 、ドーズ量 $5 \times 10^{14} \sim 5 \times 10^{15}/\text{cm}^2$ にてシリコン基板1に注入することにより、1対のソース/ドレイン領域11a、11bを形成する。

【0048】その1対のソース/ドレイン領域11a、11b、側壁シリコン窒化膜10およびダミーゲート電極8を覆うように、たとえばスパッタ法によりコバルト膜（図示せず）を形成する。次に、図5に示すように、そのコバルト膜に、窒素雰囲気またはアルゴン雰囲気に

において温度500℃～1000℃のもとで熱処理を施すことにより、コバルト膜とシリコン基板中のシリコンとを反応させて、ソース/ドレイン領域11a、11bの表面に自己整合的にコバルトシリサイド膜12a、12bをそれぞれ形成する。その後、未反応のコバルト膜を除去する。

【0049】次に、コバルトシリサイド膜12a、12b、側壁シリコン窒化膜10およびゲート電極8を覆うように、たとえばCVD法により、シリコン酸化膜(図示せず)を形成する。そのシリコン酸化膜に、たとえば化学的機械研磨処理または全面エッチバック処理を施すことにより、図6に示すように、シリコン酸化膜13の表面を平坦化するとともに、シリコン酸化膜7の表面を露出させる。

【0050】ところで、図2に示す工程においてエクステンション領域9a、9bを形成してからこの工程までの間に、たとえばシリコン酸化膜13やシリコン窒化膜10を形成する際には所定温度の雰囲気中にシリコン基板1が晒されたり、ソース/ドレイン領域11a、11bに注入された不純物を活性化させるための熱処理などがシリコン基板1に施されることになる。

【0051】このため、そのような熱によって拡散するエクステンション領域9a、9bの不純物のうち、シリコン基板1の表面に沿って拡散する不純物がゲート電極8直下の領域に達して、ゲート電極8直下の領域には比較的不純物濃度の低いエクステンション領域11a、11bの部分が形成されていることになる(図54を参照)。

【0052】次に、図7に示すように、実質的に側壁シリコン窒化膜10を残して、シリコン酸化膜7およびポリシリコン膜6を除去してシリコン酸化膜5の表面を露出する。具体的には、たとえば、フッ酸(HF)によるウェットエッチングにより、シリコン酸化膜7を除去してポリシリコン膜6の表面を露出する。このとき、シリコン酸化膜13の表面もエッチングされる。

【0053】なお、ウェットエッチングの他に、四弗化炭素(CF₄)、アルゴン(Ar)および酸素(O₂)を含む雰囲気中にてドライエッチングを施すことによってシリコン酸化膜7を除去してもよい。

【0054】次に、たとえばフッ酸と硝酸(HNO₃)とを含むエッチング液によりポリシリコン膜6を除去してシリコン酸化膜5の表面を露出する。なお、フッ酸と硝酸の他に、水酸化アンモニウム(NH₄OH)、過酸化水素水(H₂O₂)および水(H₂O)を含むエッチング液や、フッ酸を用いてポリシリコン膜6を除去してもよい。

【0055】次に、図8に示すように、たとえばフッ酸により、露出したシリコン酸化膜5を除去する。シリコン酸化膜5を除去することで、チャネル領域となる領域の表面とゲート電極8の直下に拡散するエクステ

ンション領域の部分の表面(いずれもシリコン基板1の表面)とが露出する。

【0056】次に、図9に示すように、露出したシリコン基板1の表面にエッチングを施すことにより溝14を形成して、ゲート電極8の直下に拡散するエクステンション領域の部分を除去する。溝14はこのエクステンション領域の部分の深さよりも深い溝であればよく、深くても～100nm程度あればよい。

【0057】なお、エッチングの条件は、上述したポリシリコン膜を除去するための条件を用いることが望ましい。

【0058】次に、図10に示すように、シリコン酸化膜13および側壁シリコン窒化膜10に対して選択的に溝14内にシリコン選択エピタキシャル膜15を形成する。具体的には、たとえば、超高真空、シリコン基板1温度400～900℃、ジシラン(Si₂H₆)流量1～10sccm、塩素(Cl₂)流量1～10sccmのもとで化学気相成長法により、シリコン選択エピタキシャル膜15を形成する。このシリコン選択エピタキシャル膜15にチャネルが形成されることになる。

【0059】次に、図11に示すように、たとえばボロンまたはBF₂などのp型不純物を、注入エネルギー5KeV～50KeV、ドーズ量5×10¹⁰～1×10¹²/cm²にて露出しているシリコン選択エピタキシャル膜15に注入することにより、チャネル不純物領域16を形成する。

【0060】なお、図10に示す工程において形成されるシリコン選択エピタキシャル膜15として、p型の不純物を含んだシリコン選択エピタキシャル膜を形成することで、図11に示すイオン注入の工程を省くことができる。

【0061】次に、図12に示すように、チャネル不純物領域16上にたとえばシリコン酸化膜のゲート絶縁膜17を形成する。そのゲート絶縁膜17上に、たとえばポリシリコン膜のゲート電極18を形成する。

【0062】なお、ゲート絶縁膜としてはシリコン酸化膜の他に、シリコン酸化窒化膜を適用してもよい。また、酸化タンタル膜等のように、高誘電率材料からなる膜を適用してもよい。ゲート電極としてはポリシリコン膜の他に、シリコンゲルマニウム膜、シリサイド膜または金属膜を適用してもよい。さらに、これらの積層膜を適用してもよい。

【0063】以上の工程を経ることで、ゲート電極18、1対のエクステンション領域9a、9bおよびソース/ドレイン領域11a、11bを含む電界効果トランジスタが形成される。さらにこの後、コンタクトホール形成工程や配線形成工程等を経ることで、電界効果トランジスタを備えた半導体装置の主要部が完成する。

【0064】上述した製造方法では、まず、ゲート電極18を形成する前にゲート電極8を形成する。そ

して、そのダミーゲート電極8に対してエクステンション領域9a、9b、側壁シリコン窒化膜10、ソース/ドレイン領域11a、11bおよびシリコン酸化膜13等を形成する。

【0065】エクステンション領域9a、9bを形成してからシリコン酸化膜13を形成するまでの間にシリコン基板1に施される熱処理によって、エクステンション領域9a、9b中の不純物は、ダミーゲート電極8の直下の領域にまで拡散することになる。これにより、ダミーゲート電極8直下の領域には、比較的不純物濃度の低いエクステンション領域の部分形成されることになる。

【0066】このダミーゲート電極8の直下に位置するエクステンション領域9a、9bの部分を除去して、その除去した部分にシリコン選択エピタキシャル膜15を形成する。その後、ダミーゲート電極8を除去して、本来のダミー電極18を形成する。

【0067】このように、本半導体装置の製造方法では、本来のゲート電極18を形成する前に、熱処理に伴ってゲート電極直下の領域に拡散するエクステンション領域9a、9bの部分が、ダミーゲート電極8の直下の領域に形成される。そして、その拡散したエクステンション領域9a、9bの部分を除去しシリコン選択エピタキシャル膜15で埋め込んだ後に本来のゲート電極18が形成される。これにより、電界効果トランジスタにおける実効的なゲート長が短くなるのを防止することができる。また、寄生抵抗を低減することができる。これにより、ショートチャネル効果や寄生抵抗に起因する電気的特性の劣化を防止することができる。

【0068】なお、本来のゲート電極18を形成した後においても、シリコン基板1にはプロセスに伴う熱処理が施されることで、エクステンション領域9a、9bの不純物もある程度拡散することになる。

【0069】しかしながら、本来のゲート電極18を形成した後に施される熱処理は、当初から本来のゲート電極を形成する従来の半導体装置の製造方法と比べると十分に少ない。

【0070】このため、本半導体装置の製造方法では、エクステンション領域9a、9bの不純物の拡散も少なく、実効的なゲート長が短くなるのを防止することができる効果や、寄生抵抗を低減する効果が得られる。

【0071】実施の形態2

本発明の実施の形態2に係る半導体装置の製造方法について説明する。まず、実施の形態1において説明した図1に示す工程から図11に示す工程と同様の工程を経る。その後、図13に示すように、ウェットエッチングまたはドライエッチングを施すことにより、露出したチャネル不純物領域16の表面およびその近傍部分を除去して溝19を形成する。除去する厚さ（溝19の深さ）は、約50nm以下であることが望ましい。

【0072】次に、図14に示すように、シリコン酸化膜13および側壁シリコン窒化膜10に対して選択的に溝19内にシリコン選択エピタキシャル膜20を形成する。具体的には、たとえば、超高真空、シリコン基板1温度400～900℃、ジシラン（ Si_2H_6 ）流量1～10sccm、塩素（ Cl_2 ）流量1～10sccmのもとで化学気相成長法により、シリコン選択エピタキシャル膜20を形成する。このシリコン選択エピタキシャル膜20は、p型の不純物をドーブしたものであってもよい。

【0073】不純物をドーブする場合、エピタキシャル成長中にドーブしても、シリコン選択エピタキシャル膜を形成した後にイオン注入法によりドーブしてもよい。シリコン選択エピタキシャル膜20の不純物濃度は、チャネル不純物領域16の不純物濃度よりも低い。また、シリコン選択エピタキシャル膜20は不純物を添加しないノンドーブのものであってもよい。

【0074】次に、図15に示すように、シリコン選択エピタキシャル膜20上にゲート絶縁膜17を形成する。そのゲート絶縁膜17上にゲート電極18を形成する。さらにこの後、コンタクトホール形成工程や配線形成工程等（いずれも図示せず）を経ることで、電界効果トランジスタを備えた半導体装置の主要部が完成する。

【0075】上述したように、本半導体装置の製造方法では、ゲート電極18直下の領域のシリコン基板1の表面に、シリコン選択エピタキシャル膜20を形成することで、チャネル領域となる領域の不純物濃度をより精密に制御することができ、たとえば、チャネル不純物領域16の不純物濃度よりも低い不純物濃度からなるシリコン選択エピタキシャル膜20を形成することで、電界効果トランジスタにおけるしきい値が上昇するのを抑制することができ、半導体装置の電源電圧の低電圧化に対応することが可能になる。

【0076】なお、nチャネル型の電界効果トランジスタとしては、シリコン選択エピタキシャル膜20にドーブされる不純物としてはp型の不純物であるが、n型不純物をドーブしたり、または、イオン注入してもよい。この場合には、ゲート電極18直下の領域のシリコン基板1の表面にn型の領域が形成されて、電界効果トランジスタとしては埋め込みチャネル型のトランジスタが形成されることになる。

【0077】実施の形態3

本発明の実施の形態3に係る半導体装置の製造方法について説明する。

【0078】まず、実施の形態1において説明した図1に示す工程と同様の工程において、図16に示すように、たとえばボロンまたは BF_3 などのp型の不純物を、注入エネルギー5KeV～50KeV、ドーズ量 $5 \times 10^{10} \sim 1 \times 10^{12} / \text{cm}^2$ にてシリコン基板1の表面に注入することにより、チャネル不純物領域21を形成

する。

【0079】その後、図17から図22に示す工程を経て、図23に示すように、ダミーゲート電極が除去された状態になる。なお、この間の工程は、実施の形態1において説明した図2から図8に示す工程と同様なので詳しい説明を省略する。

【0080】次に、図24および図25に示すように、たとえばKOHを含むウエットエッチングにより、露出したゲート電極直下の領域（シリコン基板1の表面）に順テーパー状の溝22を形成する。なお、図25はゲート電極が延びる方向に平行な断面構造を示す。

【0081】溝22のテーパー角度（シリコン基板1の表面と溝22の側面とがなす角度）は 0° より大きく 90° よりも小さければよい。また、少なくとも溝22の底の部分がテーパー状になっていればよい。このような溝22を形成することで、チャンネル不純物領域21の表面部分が除去される。

【0082】次に、図26および図27に示すように、シリコン酸化膜13および側壁シリコン窒化膜10に対して選択的に溝22内にシリコン選択エピタキシャル膜23を形成する。具体的には、たとえば、超高真空、シリコン基板1温度 $400\sim 900^\circ\text{C}$ 、ジシラン（ Si_2H_6 ）流量 $1\sim 10\text{ sccm}$ 、塩素（ Cl_2 ）流量 $1\sim 10\text{ sccm}$ のもとで化学気相成長法により、シリコン選択エピタキシャル膜23を形成する。

【0083】次に、図28および図29に示すように、シリコン選択エピタキシャル膜23にp型の不純物をイオン注入法により注入することでチャンネル不純物領域24を形成する。このチャンネル不純物領域24の不純物濃度は、チャンネル不純物領域21の不純物濃度よりも低い。

【0084】次に、図30および図31に示すように、チャンネル不純物領域24上にゲート絶縁膜17を形成する。そのゲート絶縁膜17上にゲート電極18を形成する。さらにこの後、コンタクトホール形成工程や配線形成工程等（いずれも図示せず）を経ることで、電界効果トランジスタを備えた半導体装置の主要部が完成する。

【0085】本半導体装置の製造方法では、ゲート電極18直下の領域のシリコン基板1の表面に、チャンネル不純物領域21の不純物濃度よりも低い不純物濃度からなるチャンネル不純物領域22が形成される。これにより、電界効果トランジスタにおけるしきい値が上昇するのを抑制することができて、半導体装置の電源電圧の低電圧化に対応することが可能になる。

【0086】また、図26に示すように、順テーパー状の溝22を形成することで、エクステンション領域9a、9bの下方には不純物濃度のより高いチャンネル不純物領域21が残されることになる。これにより、電界効果トランジスタにおけるショートチャンネル効果を抑制することができる。

【0087】さらに、図27に示すように、テーパー状の溝22を形成することで、特に素子分離膜3の近傍にはより不純物濃度の高いチャンネル不純物領域21が残されることになる。

【0088】このため、図31に示すように、電界効果トランジスタのゲート電極18の幅方向では、ゲート電極18の中央直下付近よりも素子分離膜3に隣接する両端部分の直下において不純物濃度のより高いチャンネル不純物領域21がより多く存在することになる。

【0089】従来の技術の課題において説明したように、トレンチ分離方式の素子分離膜3では、素子分離膜3近傍のゲート電極18の電界は、他の部分における電界よりも集中する。電界が集中することで、素子分離膜3の近傍にしきい値電圧のより低い寄生トランジスタが形成されることになる。

【0090】この電界効果トランジスタでは、ゲート電極18直下の領域のうち、素子分離膜3に隣接する部分において不純物濃度のより高いチャンネル不純物領域21がより多く存在する。このため、素子分離膜3近傍の電界集中に伴うしきい値電圧の低下は、より不純物濃度の高いチャンネル不純物領域21の存在によって抑制されることになる。その結果、しきい値電圧のより低い寄生のトランジスタが形成されるのを防止することができる。

【0091】なお、KOHによるウエットエッチングを施すことによってテーパー状の溝22を形成する場合について説明したが、この他に、 HBr/O_2 ガスによるドライエッチングを施すことによってもテーパー状の溝を形成することができる。この場合、 O_2 の量が比較的多いとエッチングされた側壁に反応生成物が付着してエッチングを妨げ、テーパーが付きやすくなる。また、テトラクロロシラン（ SiCl_4 ）を添加することで、より反応生成物が側壁に付着して容易にテーパー状の溝を形成することができる。

【0092】実施の形態4

本発明の実施の形態4に係る半導体装置の製造方法について説明する。まず、本発明の実施の形態1において説明した図1から図8に示す工程と同様の工程を経る。その後、図32に示すように、露出したシリコン基板1の表面にエッチングを施すことにより溝25を形成して、ダミーゲート電極8の直下に拡散するエクステンション領域9a、9bの部分を除去する。溝25の深さは、後述するように、シリコン選択エピタキシャル成長膜に歪みを与えることができる程度の深さであればよく、たとえば 250 nm 以下程度が望ましい。

【0093】次に、図33に示すように、シリコン酸化膜13および側壁シリコン窒化膜10に対して選択的に溝25の底面上および側面上にシリコンゲルマニウム選択エピタキシャル膜26を形成する。具体的には、たとえば、超高真空、シリコン基板1温度 $400\sim 900^\circ\text{C}$ 、ゲルマン（ GeH_4 ）流量 $1\sim 10\text{ sccm}$ 、ジシ

ラン (Si_2H_6) 流量 1~10 sccm、塩素 (Cl_2) 流量 1~10 sccm のもとで化学気相成長法により、シリコンゲルマニウム選択エピタキシャル膜 26 を形成する。

【0094】次に、シリコンゲルマニウム選択エピタキシャル膜 26 上に選択的にシリコン選択エピタキシャル膜 27 を形成する。具体的には、たとえば、超高真空、シリコン基板 1 温度 400~900℃、ジシラン (Si_2H_6) 流量 1~10 sccm、塩素 (Cl_2) 流量 1~10 sccm のもとで化学気相成長法により、シリコン選択エピタキシャル膜 27 を形成する。

【0095】次に、図 34 に示すように、シリコン選択エピタキシャル膜 27 およびシリコンゲルマニウム選択エピタキシャル膜 26 に p 型の不純物をイオン注入法により注入することでチャネル不純物領域 28 を形成する。

【0096】次に、図 35 に示すように、チャネル不純物領域 28 上にゲート絶縁膜 17 を形成する。そのゲート絶縁膜 17 上にゲート電極 18 を形成する。さらにこの後、コンタクトホール形成工程や配線形成工程等 (いずれも図示せず) を経ることで、電界効果トランジスタを備えた半導体装置の主要部が完成する。

【0097】この半導体装置の製造方法では、図 33 に示すように、シリコンゲルマニウム選択エピタキシャル膜 26 上に選択的にシリコン選択エピタキシャル膜 27 が形成される。ここで、シリコンの格子定数は 0.357 nm (3.57 Å) であり、ゲルマニウムの格子定数は 0.3566 nm (3.566 Å) である (「化学便覧」丸善)。これにより、シリコンにゲルマニウムを添加したシリコンゲルマニウム選択エピタキシャル膜 27 は、シリコンの格子定数とゲルマニウムの格子定数との間の格子定数を有することになる。

【0098】このように、シリコンゲルマニウム選択エピタキシャル膜 26 とシリコン選択エピタキシャル膜 27 とでは格子定数が異なることで、シリコンゲルマニウム選択エピタキシャル膜 26 と接しているシリコン選択エピタキシャル膜 27 には歪みが生じることになる。歪みの生じているシリコン選択エピタキシャル膜 27 では、歪みの生じていないシリコン選択エピタキシャル膜に比べてキャリア (電子または正孔) の移動度が高められる。その結果、動作速度が向上するなどのトランジスタの性能が高められる。

【0099】なお、シリコン選択エピタキシャル膜にかかる歪みはシリコンゲルマニウム選択エピタキシャル膜の組成比により調整することが可能である。ゲルマニウムの組成比が大きくなればシリコンゲルマニウム選択エピタキシャル膜の格子定数はよりゲルマニウムの格子定数の値に近くなって、シリコン選択エピタキシャル膜にはより大きい歪みが作用することになる。

【0100】また、シリコン選択エピタキシャル膜に歪

みを与える膜として、シリコンゲルマニウム選択エピタキシャル膜を例に挙げたが、シリコンに添加する元素としてはゲルマニウム (Ge) の他に、炭素 (C) やスズ (Sn) などの IV 族元素が望ましい。この場合、添加する元素の種類は少なくとも 1 種類あればよい。

【0101】また、シリコンゲルマニウム選択エピタキシャル膜 26 の全体がチャネル不純物領域 28 に含まれているが、シリコンゲルマニウム選択エピタキシャル膜 26 はシリコン選択エピタキシャル膜 27 に歪みを与えることがその役割であるため、シリコンゲルマニウム選択エピタキシャル膜 26 はチャネル不純物領域 28 に含まれない部分を有していてもよい。

【0102】実施の形態 5

本発明の実施の形態 5 に係る半導体装置の製造方法として、実施の形態 4 において説明したシリコン選択エピタキシャル膜とシリコンゲルマニウム選択エピタキシャル膜を形成する場合の他の製造方法について説明する。

【0103】まず、実施の形態 4 において説明した図 32 に示す工程の後、溝 25 の表面を覆うように、シリコン酸化膜 (図示せず) を形成する。そのシリコン酸化膜の全面に異方性エッチングを施すことにより、図 36 に示すように、溝 25 の両側面上に側壁シリコン酸化膜 29 を形成する。

【0104】次に、図 37 に示すように、溝 25 内にシリコンゲルマニウム選択エピタキシャル膜 30 を形成する。このとき、溝 25 の両側面上には側壁シリコン酸化膜 29 が形成されているため、シリコンゲルマニウム選択エピタキシャル膜は溝 25 の底面から成長することになる。なお、シリコンゲルマニウム選択エピタキシャル膜 30 の成長条件は、実施の形態 4 における図 33 に示す工程において説明した条件と同様である。

【0105】次に、図 38 に示すように、ウェットエッチングまたはドライエッチングを施すことにより、側壁シリコン酸化膜 29 を除去する。このとき、チャネルが形成されるゲート電極直下の領域に位置する側壁シリコン酸化膜 29 の部分が少なくとも除去されていればよい。

【0106】次に、図 39 に示すように、溝 25 を埋めるようにシリコン選択エピタキシャル膜 31 を形成する。なお、シリコン選択エピタキシャル膜 31 の成長条件は、実施の形態 4 における図 33 に示す工程において説明した条件と同様である。

【0107】次に、図 40 に示すように、シリコン選択エピタキシャル膜 31 およびシリコンゲルマニウム選択エピタキシャル膜 30 に p 型の不純物をイオン注入法により注入することでチャネル不純物領域 32 を形成する。

【0108】次に、図 41 に示すように、チャネル不純物領域 32 上にゲート絶縁膜 17 を形成する。そのゲート絶縁膜 17 上にゲート電極 18 を形成する。さらにこ

の後、コンタクトホール形成工程や配線形成工程等（いずれも図示せず）を経ることで、電界効果トランジスタを備えた半導体装置の主要部が完成する。

【0109】実施の形態4においては、図33に示す工程において溝25の底面上および側面上に形成されたシリコンゲルマニウム選択エピタキシャル膜上にシリコン選択エピタキシャル膜27が形成された。このため、ゲート電極18直下近傍のチャネルが形成される領域に、シリコンゲルマニウム選択エピタキシャル膜27が存在していた。

【0110】一方、本半導体装置の製造方法では、溝25の側面上に側壁シリコン酸化膜29が形成されることで、シリコンゲルマニウム選択エピタキシャル膜30は溝25の底面から成長し、側面からは成長しない。このため、ゲート電極18直下のチャネルが形成される領域には、シリコン選択エピタキシャル膜31が位置し、シリコンゲルマニウム選択エピタキシャル膜30は位置しない。

【0111】これにより、チャネルが形成される領域、すなわち、キャリアが走行する領域をすべてシリコン選択エピタキシャル膜31によって形成することができ、しかも、シリコン選択エピタキシャル膜31の下にチャネルの一方端から他方端にわたってシリコンゲルマニウム選択エピタキシャル膜30が位置することで、シリコン選択エピタキシャル膜31に均等に歪みを与えることができる。その結果、キャリアの移動度が均一になって、トランジスタの電気的特性が安定する。

【0112】実施の形態6
本発明の実施の形態6に係る半導体装置の製造方法について説明する。

【0113】本発明の実施の形態6に係る半導体装置の製造方法として、実施の形態4において説明したシリコン選択エピタキシャル膜とシリコンゲルマニウム選択エピタキシャル膜を形成する場合のさらに他の製造方法について説明する。

【0114】まず、実施の形態4において説明した図32に示す工程の後、図42に示すように、溝25を埋めるようにシリコンゲルマニウム選択エピタキシャル膜33を形成する。なお、シリコンゲルマニウム選択エピタキシャル膜33の成長条件は、実施の形態4における図33に示す工程において説明した条件と同様である。

【0115】次に、図43に示すように、ドライエッチングまたはドライエッチングを施すことにより、シリコンゲルマニウム選択エピタキシャル膜33の表面およびその近傍部分を除去して溝34を形成する。

【0116】次に、図44に示すように、溝34を埋めるようにシリコン選択エピタキシャル膜35を形成する。なお、シリコン選択エピタキシャル膜35の成長条件は、実施の形態4における図33に示す工程において説明した条件と同様である。

【0117】その後、実施の形態5において説明した図40に示す工程のように、シリコン選択エピタキシャル膜35およびシリコンゲルマニウム選択エピタキシャル膜33にp型の不純物をイオン注入法により注入することでチャネル不純物領域（図示せず）を形成する。

【0118】次に、実施の形態5において説明した図41に示す工程のように、チャネル不純物領域上にゲート絶縁膜（図示せず）を形成する。そのゲート絶縁膜上にゲート電極（図示せず）を形成する。さらにこの後、コンタクトホール形成工程や配線形成工程等（いずれも図示せず）を経ることで、電界効果トランジスタを備えた半導体装置の主要部が完成する。

【0119】本半導体装置の製造方法では、実施の形態5において説明した半導体装置の製造方法と比べると、シリコンゲルマニウム選択エピタキシャル膜33は、側壁シリコン酸化膜29を形成することなく溝25に形成される。これにより、シリコンゲルマニウム選択エピタキシャル膜33は、チャネルが形成される領域のより端部にまで位置することになる。

【0120】その結果、シリコンゲルマニウム選択エピタキシャル膜33は、シリコン選択エピタキシャル膜35により均等に歪みを与えることができ、キャリアの移動度がより均一になって、トランジスタの電気的特性がさらに安定する。

【0121】なお、上記実施の形態では、nチャネル型の電界効果トランジスタを例に挙げて説明したが、本半導体装置の製造方法は、pチャネル型の電界効果トランジスタに対しても適用することができる。この場合には、エクステンション領域およびソース/ドレイン領域は、p型不純物としてボロンやBF₂を注入することで形成することが望ましい。また、チャネル不純物領域は、リンやヒ素などのn型不純物を導入して形成することが望ましい。

【0122】今回開示された実施の形態はすべての点で例示であって、制限的なものではないと考えられるべきであり、本発明の範囲は上記の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0123】

【発明の効果】本発明の1つの局面における半導体装置の製造方法によれば、ゲート電極直下のチャネル領域となる領域の表面とその近傍部分およびゲート電極の直下に拡散する不純物領域の部分が除去され、その除去された部分が所定の膜で埋め込まれることで、ゲート電極直下の領域の不純物の濃度分布を制御することができる。その結果、1対の不純物領域およびゲート電極を含む電界効果トランジスタにおけるしきい値電圧を制御することができて電気的特性に優れた半導体装置が得られる。

【0124】好ましくは、不純物領域形成工程は、チャ

ネル領域となる領域上にダミー電極を形成する工程と、ダミー電極をマスクとして、半導体基板の表面に第1導電型の不純物を導入する工程とを含み、不純物領域形成工程と除去工程との間に、ダミー電極を除去する工程を含み、埋め込み工程は、所定の膜として、少なくとも第1のシリコンエピタキシャル成長層を形成する工程を含み、電極形成工程は、埋め込み工程の後にダミー電極が除去された領域上にゲート電極を形成する工程を含んでいることで、熱処理に伴ってゲート電極直下の領域に拡散する不純物領域の部分がダミー電極の直下の領域に形成される。そして、その拡散した不純物領域の部分を除去し第1のシリコンエピタキシャル成長層で埋め込んだ後に本来のゲート電極が形成されるため、電界効果トランジスタにおける実効的なゲート長が短くなるのを防止することができるとともに、寄生抵抗をなくすることができる。

【0125】また好ましくは、埋め込み工程は、第1のシリコンエピタキシャル成長層の表面およびその近傍の部分を除去する工程と、除去された第1のシリコンエピタキシャル成長層の部分を埋め込むようにさらに第2のシリコンエピタキシャル成長層を形成する工程とを含んでいることで、ゲート電極直下に位置する第2のシリコンエピタキシャル成長層により、チャネルが形成される領域の不純物濃度をより精密に制御することができ、たとえば第2のシリコンエピタキシャル成長層の不純物濃度を第1のシリコンエピタキシャル成長の不純物濃度よりも低くすることで、電界効果トランジスタのしきい値電圧の低電圧を図ることができる。

【0126】好ましくは、不純物領域形成工程の前に、チャネル領域となる領域を形成するための、第2導電型の不純物を前記半導体基板の表面に導入する工程を備えていることで、電界効果トランジスタにおけるショートチャネル効果を抑制するための第2導電型の不純物が拡散することで不純物濃度がより高くなったチャネル領域となる領域の表面およびその近傍部分が除去される。その除去された部分が第1のシリコンエピタキシャル成長層で埋め込まれることで、ゲート電極直下の領域の不純物濃度を制御することができ、電界効果トランジスタのしきい値電圧を制御することができる。

【0127】また好ましくは、埋め込み工程は、第1のシリコンエピタキシャル成長層の不純物濃度をチャネル領域となる領域の不純物濃度よりも低い第2導電型の不純物濃度とする工程を含み、除去工程は、ゲート電極が延びる方向に沿って側部が順テーパ状となる溝部を形成する工程を含んでいることで、不純物領域の直下には比較的不純物濃度の高いチャネル領域となる領域が残る。これにより、電界効果トランジスタのショートチャネル効果を抑制することができる。

【0128】さらに好ましくは、1対の不純物領域およびチャネル領域を区画するための分離領域を形成する工

程を備え、除去工程は、チャネル領域となる領域と分離領域とが接する部分からチャネル領域となる領域に向かって側部が順テーパ状になる溝部を形成する工程を含んでいることで、ゲート電極直下の領域の分離領域の近傍に比較的不純物濃度の高いチャネル領域となる領域が残る。これにより、分離領域近傍の電界集中に伴ってしきい値電圧のより低い寄生トランジスタが形成されるのを抑制して、リーク電流の低減を図ることができる。

【0129】好ましくは、埋め込み工程は、第1のシリコンエピタキシャル成長層を形成する前に、所定の膜として、たとえばⅠⅤ族元素などのシリコン以外の他の元素を含むシリコンエピタキシャル成長層を形成する工程を含んでいることで、そのシリコンエピタキシャル成長層により、第1のエピタキシャル成長層に歪みが生じる。これにより、第1のエピタキシャル成長層におけるキャリアの移動度が向上して、たとえば電界効果トランジスタの動作速度が向上する。

【0130】具体的には、除去工程は側面と底面とを有する溝部を形成する工程を含み、埋め込み工程は、少なくとも溝部の底面上にシリコン以外の他の元素を含むシリコンエピタキシャル成長層を形成する工程を含んでいることが好ましい。

【0131】さらに埋め込み工程は、溝部の底面上にのみシリコン以外の他の元素を含むシリコンエピタキシャル成長層を形成する工程を含んでいることが好ましく、この場合には、第1のエピタキシャルシリコン成長層に均一に歪みを与えることができる。

【0132】本発明の他の局面における半導体装置によれば、シリコン以外の他の元素を含むシリコン膜により、シリコン膜に歪みが生じる。これにより、シリコン膜におけるキャリアの移動度が向上して、1対の不純物領域とゲート電極とを含む電界効果トランジスタの動作速度等が向上する。

【0133】そのシリコン膜に歪みを与えることのできるシリコン以外の元素としては、具体的には、ⅠⅤ族元素、または、シリコンと格子定数が異なる元素であることが好ましい。このような元素は、シリコンの結晶中に容易に添加することができる。

【0134】好ましくは、シリコン膜はゲート電極の直下の1対の不純物領域によって挟まれた領域の表面の全面に位置することで、キャリアが移動するシリコン膜に均一に歪みを与えることができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る半導体装置の製造方法の一工程を示す断面図である。

【図2】 同実施の形態において、図1に示す工程の後に行われる工程を示す断面図である。

【図3】 同実施の形態において、図2に示す工程の後に行われる工程を示す断面図である。

【図4】 同実施の形態において、図3に示す工程の後

ン領域の不純物濃度プロファイルを示す図である。

【図55】 従来の半導体装置における電界効果トランジスタの等価回路を示す図である。

【図56】 図51に示す半導体装置のチャネル不純物領域の不純物濃度プロファイルを示す図である。

【図57】 図52に示す半導体装置の部分拡大断面図である。

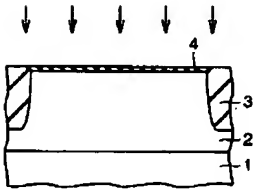
【図58】 従来の半導体装置における電界効果トランジスタの他の等価回路を示す図である。

【符号の説明】

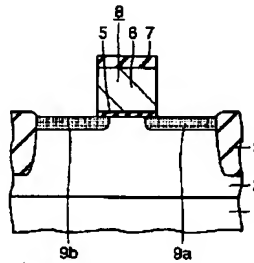
1 シリコン基板、2 ウェル、3 素子分離膜、4

パッド酸化膜、5、7、13 シリコン酸化膜、6 ポリシリコン膜、8 ダミーゲート電極、9a、9b エクステンション領域、10 側壁シリコン窒化膜、11a、11b ソース/ドレイン領域、12a、12b コバルトシリサイド膜、14、19、22、25、34 溝、15、20、23、27、31、35 シリコン選択エピタキシャル膜、16、21、24、28、32 チャネル不純物領域、17 ゲート絶縁膜、18 ゲート電極、26、30、33 シリコンゲルマニウム選択エピタキシャル膜、29 側壁シリコン酸化膜。

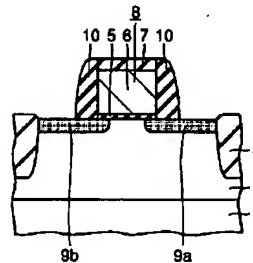
【図1】



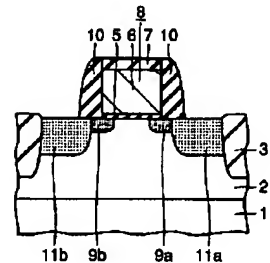
【図2】



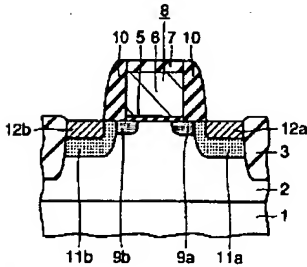
【図3】



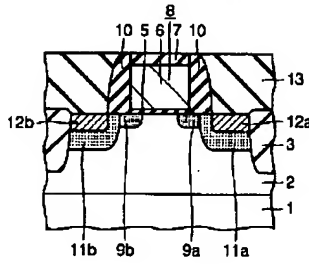
【図4】



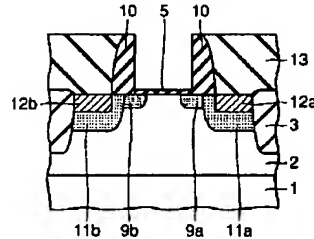
【図5】



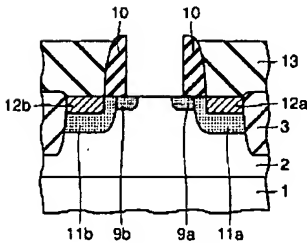
【図6】



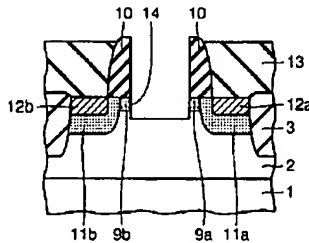
【図7】



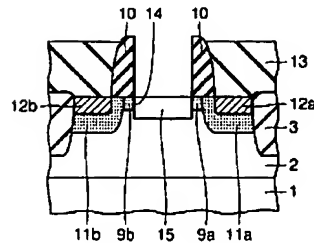
【図8】



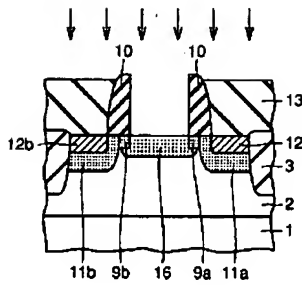
【図9】



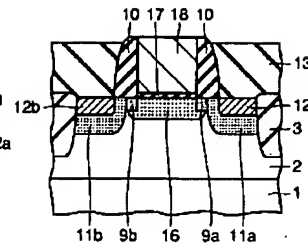
【図10】



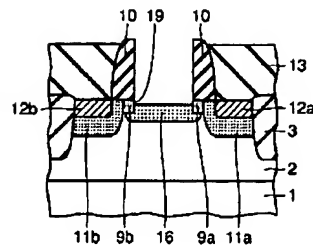
【図11】



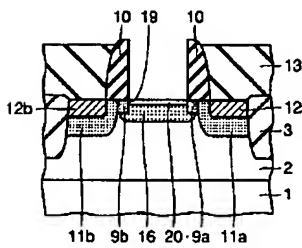
【図12】



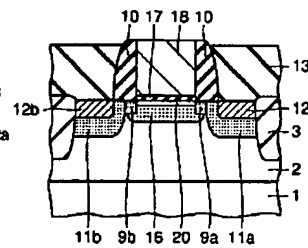
【図13】



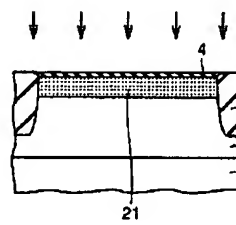
【図14】



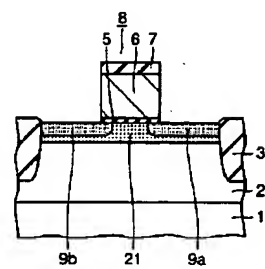
【図15】



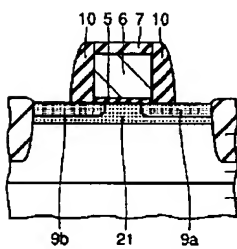
【図16】



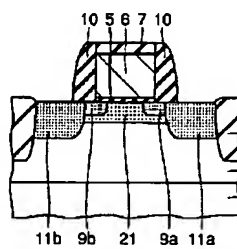
【図17】



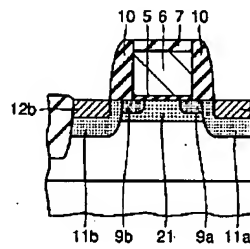
【図18】



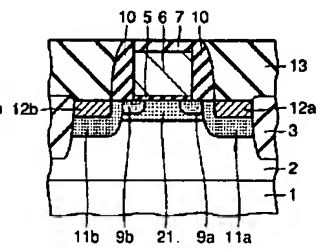
【図19】



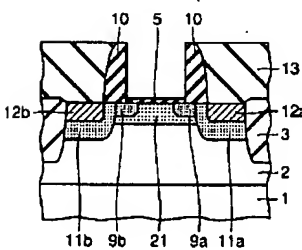
【図20】



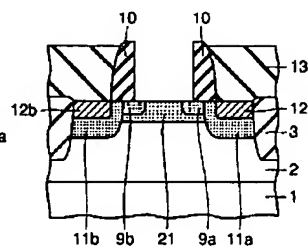
【図21】



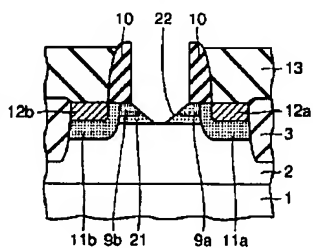
【図22】



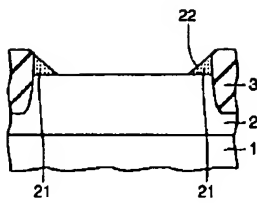
【図23】



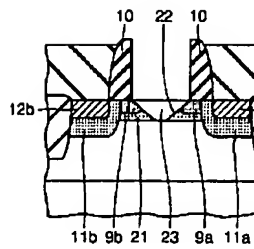
【図24】



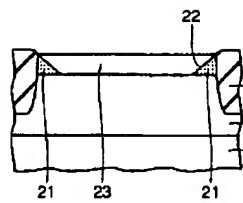
【図25】



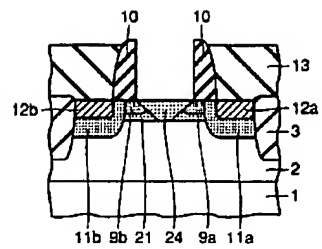
【図26】



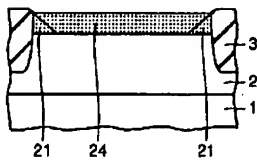
【図27】



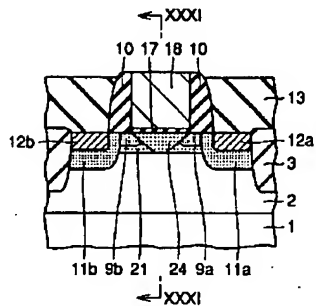
【図28】



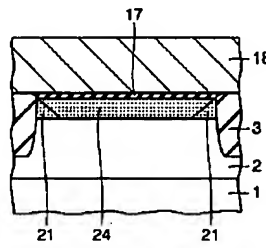
【図29】



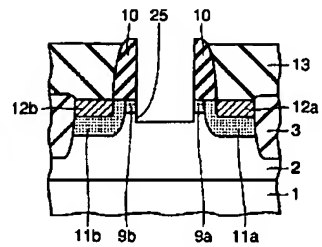
【図30】



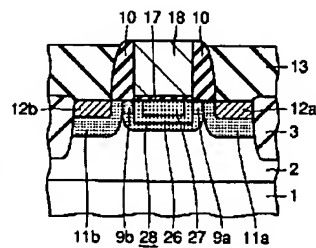
【図31】



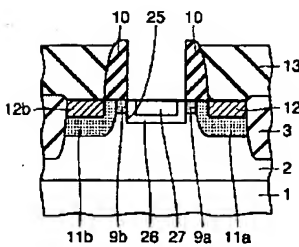
【図32】



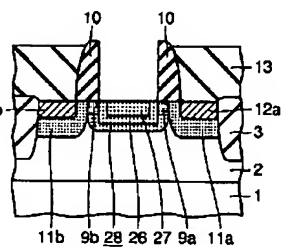
【図35】



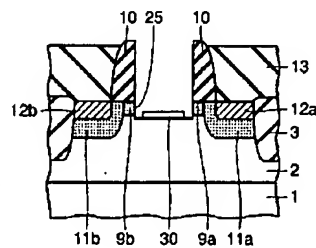
【図33】



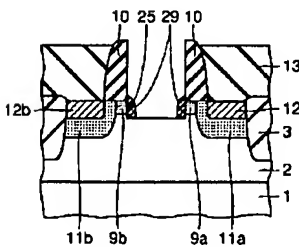
【図34】



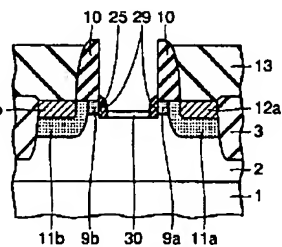
【図38】



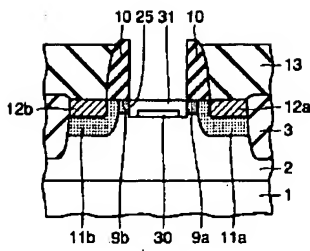
【図36】



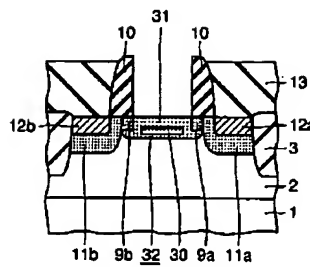
【図37】



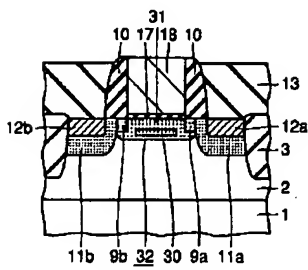
【图39】



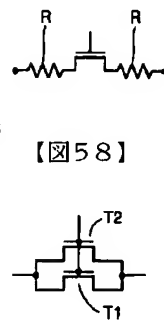
【图40】



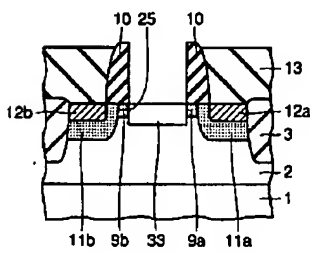
【图41】



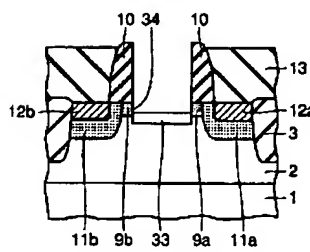
【图55】



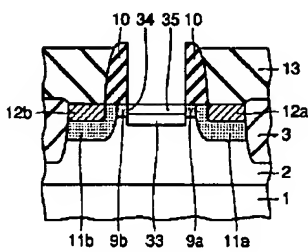
【图42】



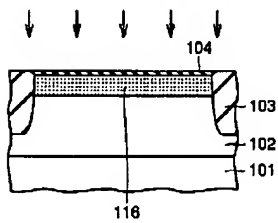
【图43】



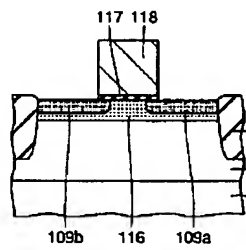
【图44】



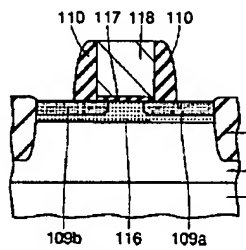
【图45】



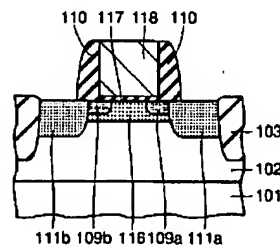
【图46】



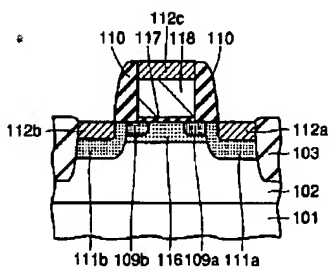
【图47】



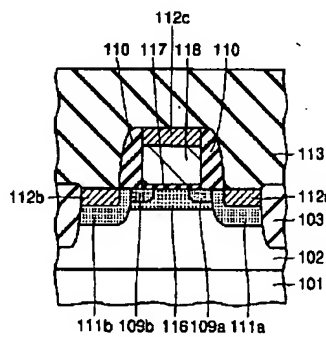
【图48】



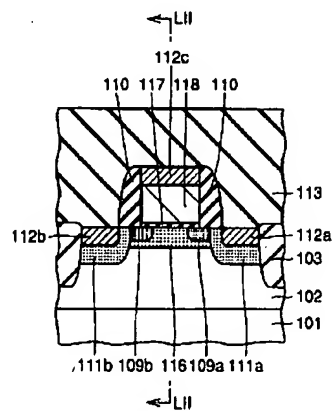
【图49】



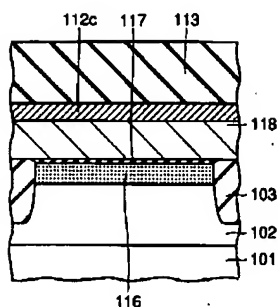
【图50】



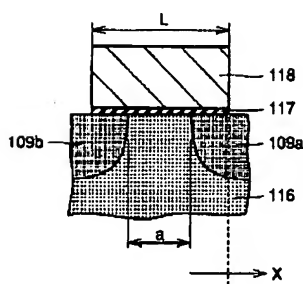
【图51】



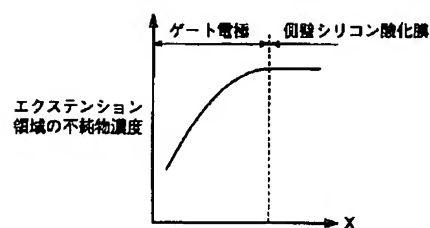
【図52】



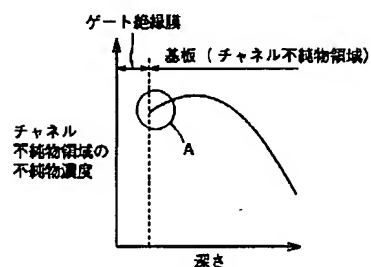
【図53】



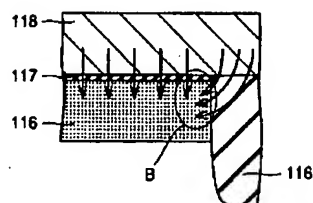
【図54】



【図56】



【図57】



フロントページの続き

(72)発明者 三浦 成久
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内
(72)発明者 阿部 雄次
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内
(72)発明者 徳田 安紀
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

Fターム(参考) 5F040 DA06 DA16 DA17 DC01 EC04
EC07 EC08 EC09 ED03 EE01
EE02 EE05 EF02 EF11 EK05
FA02 FA07 FC02 FC06 FC11
FC21
5F045 AB01.AB02 AC01 AC05 AD08
AD09 AD10 AD11 AD12 AD13
AE01 BB16 DB02 HA04 HA05